

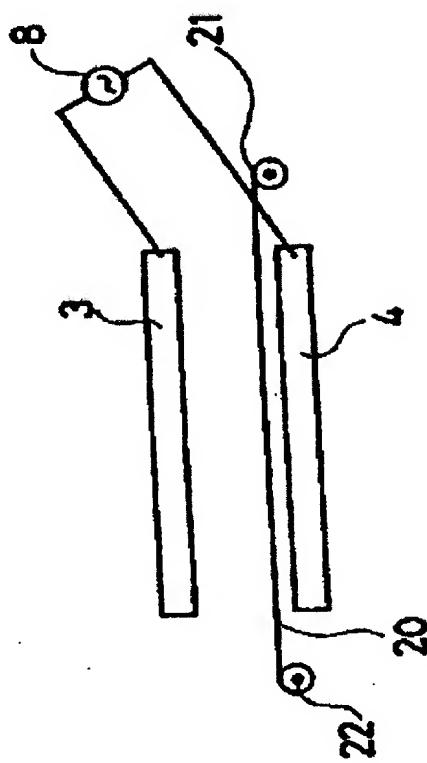
PLASMA CVD DEVICE

Patent number: JP59219927
Publication date: 1984-12-11
Inventor: NISHIURA SHINJI; others: 02
Applicant: FUJI DENKI SOUGOU KENKYUSHO:KK
Classification:
- **International:** H01L21/205; H01L31/04
- **European:**
Application number: JP19830093769 19830527
Priority number(s):

Abstract of JP59219927

PURPOSE: To remove in a short time a reaction product adhered on mutually facing electrodes in a reaction chamber without opening the reaction chamber by a method wherein two rolls are used respectively as the delivery roll and the wind-up roll of a thin belt to shield the second electrode in electrically insulated condition passing nearby the second electrode on the first electrode side.

CONSTITUTION: The titled device is so constructed as to make a thin belt 20 wound on a roll 21 to be wound up by a roll 22 passing between a first electrode 3 to be used both as a susceptor and a facing electrode 4, and the plane of the high polymeric thin belt 20 is formed according to tension between both the rolls thereof. The rolls 21, 22 may be constructed of a metal or an insulator, and made to have the same electric potential with the facing electrode 4. The insulating belt 20 is made to approach the electrode 4 as much as possible to reduce the quantity to be deposited on the facing electrode 4. When a-Si deposited on the thin belt 20 exceeds the prescribed film thickness, the roll 22 is wound to supply the insulating belt of a fresh surface. The deposited a-Si is wound up together in the roll 22 according to winding up thereof. After winding up is finished, by performing plasma etching of the reaction chamber, cleaning is attained without exposing the reaction chamber to the open air.



Data supplied from the esp@cenet database - Worldwide

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭59-219927

⑯ Int. Cl.³
H 01 L 21/205
31/04

識別記号

厅内整理番号
7739-5F
7021-5F

⑯ 公開 昭和59年(1984)12月11日
発明の数 1
審査請求 未請求

(全 5 頁)

④ プラズマ CVD 装置

⑤ 特 願 昭58-93769

⑥ 出 願 昭58(1983)5月27日

⑦ 発明者 西浦真治

横須賀市長坂2丁目2番1号株
式会社富士電機総合研究所内

⑧ 発明者 内田喜之

横須賀市長坂2丁目2番1号株
式会社富士電機総合研究所内

⑨ 発明者 丸山和美

横須賀市長坂2丁目2番1号株
式会社富士電機総合研究所内

⑩ 出願人 株式会社富士電機総合研究所
横須賀市長坂2丁目2番1号

⑪ 代理人 弁理士 山口巖

明細書

1. 発明の名称 プラズマ CVD 装置

2. 特許請求の範囲

1.) 基板の支持体を兼ねる第一電極とそれに対向して配置される第二電極との間に電圧を印加してグロー放電を発生させて反応ガスを分解するものにおいて、第二電極の両側に二つのロールを備え、該ロールがそれぞれ第二電極の第一電極側の近傍を通って第二電極を電気的に絶縁された状態で遮蔽する薄帯の送り出しロールおよび巻き取りロールであることを特徴とするプラズマ CVD 装置。

3. 説明の詳細な説明

[発明の属する技術分野]

本発明は基板の支持体を兼ねる第一電極とそれに対向して配置される第二電極との間に電圧を印加してグロー放電を発生させ、反応ガスを分解して基板上に非晶質半導体あるいは絶縁物などの薄膜を堆積させるプラズマ CVD 装置に関する。

[従来技術とその問題点]

非晶質半導体、特に非晶質シリコンを用いる非

晶質半導体太陽電池は、光を直接電気エネルギーに変換する太陽電池の低コスト化の有力な候補者として研究開発が進められている。非晶質シリコン(以下 a-Si) 太陽電池は、金属等の導電性基板又は上面に透明導電膜を備えたガラス等の透明絶縁性基板上に、例えば p 型 a-Si 層、ノンドープ a-Si 層、n 型 a-Si 層をそれぞれ数百 Å、数 μm、数百 Å 形成することにより、pin 接合を有する a-Si 層を光起電力層として形成したものである。これらの各層において、p 型層、n 型層に光透過性のよい a-SiC 層、又は伝導性の高い微結晶化 a-Si 層を用いて効率を用いて効率を向上させる技術についても周知である。

この a-Si 層を形成する装置として第 1 図に示す容積結合型グロー放電装置が知られている。容積結合型グロー放電装置は、大面積太陽電池の製造に適している。ベルジャ 1 の内部に、ヒータ 2 を備えた電極 3 がとりつけられておりその下面に対向して電極 4 が配備されている。a-Si 層が形成される基板 5 は、上部電極 3 にとりつけられて

おり、ヒータ2によって200～300℃の温度に保たれる。ベルジャヤ1の内部空間はガス導入管6を介してガス供給ラインに、排気管7を介して排気系に接続されている。例えば、P型a-Si層を形成する場合、シランガスとジボランガスを適当な分量混合し、管6を通じてベルジャヤに導入し、排気系とつりあわせて1～10 Torrに保持する。外部から高周波電源8を用いて、両対向電極3、4間に高周波電力を印加し、内部のガスを分解して、P型a-Si層を基板5の上に堆積する。ノンドープ層、n型a-Si層の形成においても同様な形で適当な組成のガスをグロー放電分解して堆積する。

第2図(a)、(b)に上部電極の拡大図を示す。(a)は基板5を保持した上部電極3を下から見た図である。電極3は支持爪9により(a)および断面図(b)に示すように、ヒータ2を内蔵した支持体10にとりつけられており、電極3は支持体10にはめこまれて、支持爪9によって支えられるようになっている。基板5は電極3につくられた穴にはめこまれており、基板5と電極3の電気的接觸、熱的接觸を向

上させるために、基板の上側から金属製の板でおさえられ、固定されている。基板の表面は電極4に対向し、又電極4に対して露出している。電極3と電極4の間に高周波電圧を印加してグロー放電を発生させると、電極3、基板5さらに対向電極4をはじめとして器壁等にa-Siが付着する。このa-Siが基板以外の部に付着すると、膜生成を阻むるにつれて、この部分からの膜はがれが生じ、グロー放電装置内がよどれ、a-Si膜にピンホールが出きたり、またa-Si膜の膜質が低下して太陽電池の効率が低下した。電極3は一回の成長工程終了毎にとり出し清浄化等の処置をとるので問題ないが、電極4、支持体10、支持爪9あるいは器壁等は頻繁に付着a-Siを除去し、また清浄化の作業をする必要がある。その際、膜成長作業を中断するのみならず、炉の温度を低くするために時間を要したり、ふきとり作業、空気ばく露等炉自体にとって好ましくない条件におかれ、さらに清浄作業後も空焼き等の処置をとる必要があり、装置の安定性、稼働率という点でも問題が多い。

かった。

第3図に他の装置の例を示す。この装置は、P型、ノンドープ、n型a-Si層を異った反応室で形成し、各層の成長時において他の層を形成した時の影響を抑えて、膜の制御性を向上させようというものである。三つの反応室11、12、13の前後に、基板をサセプタ3に装着するための前室11と、pin層を形成した基板を取り出すための後室15があり、各室11～15はバルブ16を介して排気系に接続されている。サセプタ3は第4図に拡大して示したように穴31を有し、その中に基板5が落し込まれている。この穴31は下から見ると第2図(a)に示すように配線されている。基板5を装着したサセプタ3を前室14に図示しない仕切り弁を開いて入れる。サセプタ3の搬入は並んでいる車輪17の上を動かすことによって行なわれる。サセプタ3が前室14の所定の位置へ達すると仕切り弁を閉じ、バルブ16を介して室14を排氣する。ついでサセプタ3を前室14内で基板の温度が200～300℃になるよう加熱する。温度が200～300℃で安定した後、

前室14と反応室11の間の仕切り弁(図示せず)を開き、サセプタ3を車輪17の駆動に伴なって室11内に搬入する。所定の位置に来るとき室14、11の間の仕切り弁を閉じ、反応室11内にシランとジボランの混合ガスを導入し、1～10 Torrの状態でサセプタ3と対向電極4との間に加えられた高周波電界によりグロー放電分解を行ない、P型a-Si層をサセプタ3に装着された基板5の上に堆積させる。所定の膜厚の堆積が終了すると反応室11を排氣し、反応室11、12間の仕切り弁を開けてサセプタ3を反応室12へ移動する。以降は同様にして各a-Si層が堆積される。室13でn層a-Siが形成されると、サセプタ3は反応室13と後室15の間の仕切り弁を通じて室15に入れる。ここでサセプタ3を一定温度、例えば100℃以下に冷却した後、室15にN₂ガスを導入して常圧とし、仕切り弁を開いてサセプタ3を取り出す。

反応室11～13においては、サセプタ3と対向電極4の間の距離が最も近く、40～100mmである。他の距離、例えばサセプタ3と反応室の壁、車輪

17と室壁、車輪17と対向電極4との間の距離はサセプタ3と対向電極4の距離に比較して大きな距離、例えば1.5倍の距離を有している。このためサセプタ3と対向電極4との間に高周波電界を加えて放電させても電界はこの両極間に集中し、分解したa-Siの大部分が付着する。サセプタ3は基板5と共に外にとり出されるので、その際洗浄等の処理を行うことができるが、反応室内の対向電極4はa-Siが多く堆積することになり、量が多くなるとはがれてグロー放電時に飛散し、基板上にとりこまれたりしてピンホール形成または膜質低下の原因となる。従ってこれまで対向電極への堆積量がある量を越えると洗浄のために膜生成作業を中断してa-Siの除去を行い、次いでCF₄等のガスを導入し、プラズマエッティング等の手段により、反応室内の清浄化を行っていた。しかしそれからプラズマエッティングする試みは長時間を必要とすると共に、除去された部分にはらつきが生じ、効率的な清浄作業を行うことができなかつた。また反応室を開くと反応室の内壁が外気等で

汚染される等の問題があり、また作業が長く中断されるので稼働率の点からも問題があつた。

(発明の目的)

本発明は、反応室内の対向電極上に付着した反応生成物を、反応室を開くことなく、しかも短い時間で除去することができるプラズマCVD装置を提供することを目的とする。

(発明の要点)

基板の支持体を兼ねる第一電極に対向配置された第二電極の両側に、二つのロールを備え、そのロールがそれぞれ第二電極の第一電極側の近傍を通って第二電極を絶縁的に絶縁された状態で遮蔽する薄帯の送り出しロールおよび巻き取りロールであることによって上記の目的を達成する。

(発明の実施例)

第5図に本発明の第一の実施例を示す。サセプタを兼ねる第一電極3と対向電極4の間を通して、ロール21に巻かれている、例えばテフロン、ポリイミド、ポリアミドイミド、ポリビスマレインイミド等の高分子フィルムからなる薄帯20がロール

22に巻きとられるように構成したものである。この両ロール間の強力により高分子薄帯20の平面が形成される。電極3と電極4の距離が40～100mmのとき薄帯20と対向電極4との距離を30mm以内とした。第5図は第4図のような装置においては紙面と垂直の方向における断面図である。従って、サセプタ3は第5図の紙面に垂直方向に移動する。ロール21,22は、金属又は絶縁体のいずれに構成してもよく対向電極8と同電位になるようにした。反応室内で1～10Torrのガス雰囲気で高周波電源8を用いて電圧印加を行い、グロー放電分解した。a-Siはサセプタとサセプタに搭載された基板さらに対向電極4及び絶縁帯20上に形成された。対向電極4と薄帯20の距離が小さいので対向電極4の面上に堆積された量は、薄帯20の上に堆積された量に比較すると少ない量であった。対向電極4上に堆積される量を減らすために絶縁帯20ができるだけ電極4に近付ける必要がある。薄帯20上に堆積したa-Siが所定の膜厚を超えた時ロール22を巻いて新鮮な表面の絶縁帯を供給した。この巻

きとりによって堆積したa-Siは一端にロール22内に巻き込まれる。薄帯20のロール長さ方向の幅は電極4の幅より大きいことが望ましく、5cm以上大きくすることにより対向電極4に付着するa-Siの量を減少させることができた。ロール22による巻き取りの後、CF₄等のガスを用いて反応室のプラズマエッティングを行うことにより、反応室を外気にさらすことなくクリーニングを行うことができた。

第6図は第二の実施例で、ロール21,22をサセプタ3に対して対向電極4の反対側に配置したものである。これは方向変換ロール23,24を用いて図のように構成される。この構成によって清浄な帯20が巻いてあるロール21に付着するa-Siを低減することができ、ロール22による巻きとりの際にa-Si付着の少ない絶縁帯20を形成することができた。

第7図は第三の実施例で、反応室18内にサセプタ3と対向電極4を図のように構成し、絶縁帯20の巻きとりロール22を排気系につながる排気口7

内に設置したものである。このため巻きとりのため a-Si 膜が少々とびちっても反応室 18 内を汚染することがなくなった。

第 8 図は第四の実施例で、第三の実施例では二つの方向変換ロール 24, 25 を通る毎に多少 a-Si がはがれるので方向変換ロールを渡らし、さらにロール 24 と巻きとりロール 22 を共に、排気口 7 内に設置したものである。また、新しい絶縁帯を巻いてあるロール 21 についても引き出し穴 27 を除き全体をカバー 26 でおおい、カバー 26 をロール 21 と共に電極 4 と同電位に保持した。このため新しく引き出される絶縁帯 20 に a-Si が付着しているということがなくなった。

以上いずれの場合も、サセブタ 3 と対向電極 4 の距離を最低とし、対向電極 4 と同電位である各ロール等はサセブタ又は窓板から十分距離を離して（サセブタ 3 と対向電極 4 の間の 1.5 倍以上）構成された。

第 9 図は第五の実施例で、サセブタ 3 を搬送する車輪 17 が存在する場合のサセブタ 3 と対向電極

4、さらにロール等の関係を示し、車輪 17 と対向電極 4、ロール 23, 24 等との距離を、すべてサセブタ 3 と対向電極 4 との間の距離 1.5 倍以上とした。

第 10 図は方向変換ロール 28, 29 を対向電極 4 に固定して形成したものである。この場合も絶縁帯 20 が対向電極 4 に密着しないようにロール 28, 29 の位置を構成することが望ましい。

以上の実施例では薄帯 20 に高分子フィルムを用いているが、高分子フィルムの代りに導体箔を用いても同じ効果を得た。ただしこの場合、導体箔およびそれを支持するロールなどの導体部分は、第一電極および対向電極から絶縁状態にしておくことが必要であった。

[発明の効果]

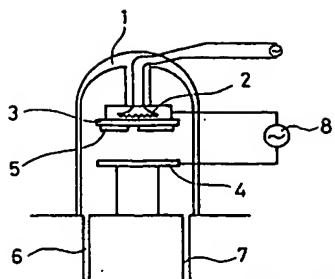
本発明はプラズマ CVD 装置のグロー放電発生のための二つの電極のうち、基板を支持しない対向電極の表面を、その電極に絶縁されその電極の近傍を通る薄帯により覆い、その薄帯は送り出しロールから出て巻き取りロールに巻き取られるようになしたものである。これにより a-Si のような

反応生成物を対向電極でなく薄帯上に付着させ、薄帯を巻き取ることにより反応生成物を反応室を開くことなく迅速に除去することができ、反応室内外を外気にさらすことなくクリーニングすることができるようになった。この結果、特に太陽電池に用いる a-Si 膜の形成を安定して行うことができ、太陽電池の特性、製造歩留りの向上、あるいはプラズマ CVD 装置の稼動率の向上が達成されるので、本発明の効果は極めて大である。

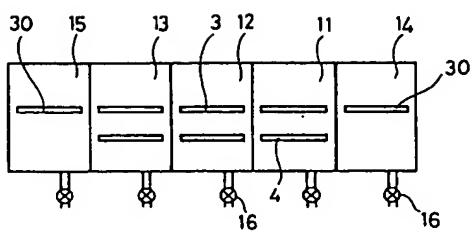
4. 図面の簡単な説明

第 1 図は従来のプラズマ CVD 装置の断面図、第 2 図(a), (b)はサセブタおよびヒータ部を示し、(a)は平面図、(b)は断面図、第 3 図は別の従来のプラズマ CVD 装置の断面図、第 4 図はその要部拡大図、第 5 図は本発明の一実施例の断面図、第 6 図ないし第 10 図はそれぞれ異なる実施例の断面図である。

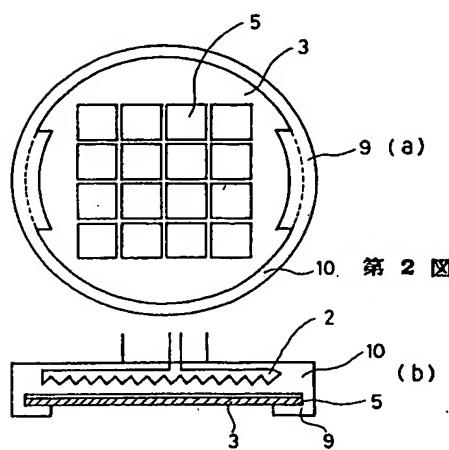
3 - サセブタ、4 - 対向電極、18 - 反応室、
20 - 薄帯、21 - 送り出しロール、22 - 巣き取りロール。



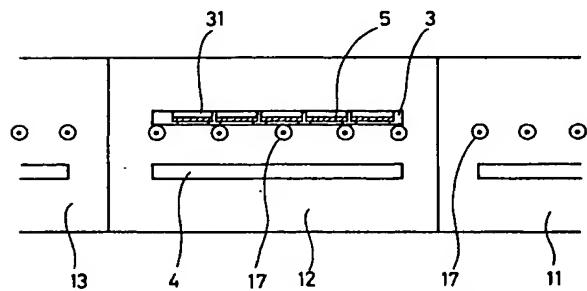
第1図



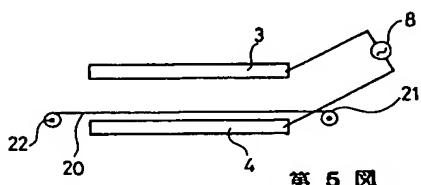
第3図



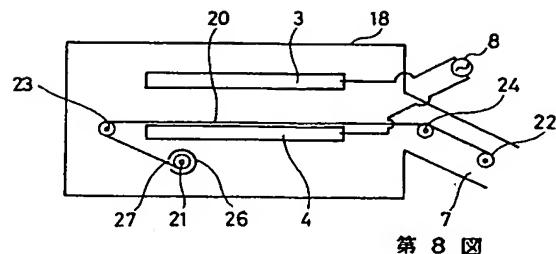
第2図



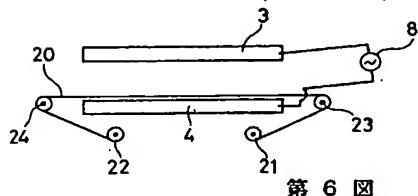
第4図



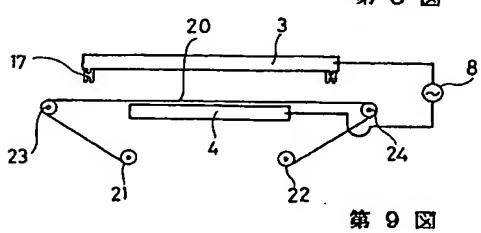
第5図



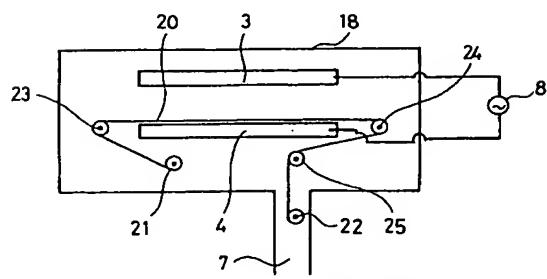
第8図



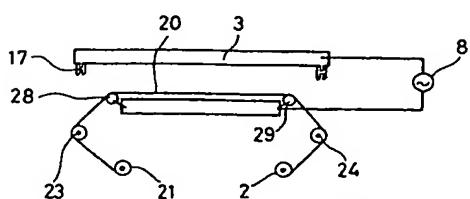
第6図



第9図



第7図



第10図